

PAT-NO: JP402253738A

DOCUMENT-IDENTIFIER: JP 02253738 A

TITLE: CLOCK CROSSING-OVER CIRCUIT

PUBN-DATE: October 12, 1990

INVENTOR-INFORMATION:

NAME

UEDA, HISAO

AGENO, YUUZOU

ASSIGNEE-INFORMATION:

NAME	COUNTRY
FUJITSU LTD	N/A

APPL-NO: JP01075662

APPL-DATE: March 27, 1989

INT-CL (IPC): H04L007/00

ABSTRACT:

PURPOSE: To automatically adjust phase difference when a clock is crossed over and to correspond to the formation of an integrated circuit by automatically adjusting timing to store parallel data.

CONSTITUTION: Based on a second clock, a load signal generating means 121 generates a load signal to designate the timing to store the parallel data in a second converting means 112. Based on a first clock, a range designation signal generating means 122 generates a range designation signal to designate a prescribed range. Serial data inputted synchronously with the first clock are converted to the parallel data by a first converting means 111 and stored to a

second converting means 112 based on the load signal. At this time, it is discriminated by a discriminating means 123 whether the load signal and range designation signal satisfy prescribed relation or not. Based on the result of this discrimination, the generating operation of the load signal by the load signal generating means 121 is controlled. Thus, when the clock is crossed over, the phase difference is automatically adjusted.

COPYRIGHT: (C)1990,JPO&Japio

⑪ 公開特許公報 (A) 平2-253738

⑫ Int. Cl.⁵
H 04 L 7/00識別記号 A
厅内整理番号 6914-5K

⑬ 公開 平成2年(1990)10月12日

審査請求 未請求 請求項の数 1 (全12頁)

⑭ 発明の名称 クロック乗換回路

⑮ 特 願 平1-75662

⑯ 出 願 平1(1989)3月27日

⑰ 発 明 者 上 田 久 雄 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内⑱ 発 明 者 揚 野 祐 三 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁理士 古谷 史旺

明 細 書

1. 発明の名称

クロック乗換回路

関係を満たしているか否かを判別する判別手段 (123) と、

2. 特許請求の範囲

(1) 第1クロックに同期して入力されたシリアルデータをパラレルデータに変換する第1変換手段 (111) と、

を備え、前記判別手段 (123) による判別結果に基づいて、前記ロード信号生成手段 (121) によるロード信号の生成動作を制御するように構成したことを特徴とするクロック乗換回路。

前記第1変換手段 (111) の出力のパラレルデータを格納し、このパラレルデータを第2クロックに同期してシリアルに出力する第2変換手段 (112) と、

3. 発明の詳細な説明

(目 次)

概要

産業上の利用分野

従来の技術

発明が解決しようとする課題

課題を解決するための手段

作用

実施例

前記第2クロックに基づいて、前記第2変換手段 (112) においてパラレルデータを格納するタイミングを指定するロード信号を生成するロード信号生成手段 (121) と、

I. 実施例と第1図との対応関係

前記第1クロックに基づいて、所定の範囲を指定する範囲指定信号を生成する範囲指定信号生成手段 (122) と、

II. 第1実施例の構成および動作

前記ロード信号と前記範囲指定信号とが所定の

III. 第2実施例の構成および動作

IV. 第3実施例の構成および動作

V. 実施例のまとめ
VI. 発明の变形態様
発明の効果

(概要)

例えば、異なるクロック信号に同期して動作する装置間、あるいはブロック間でデータ伝送を行なう場合におけるクロック乗換回路に関するもの。

クロック乗り換えの際の乗り換えタイミングの調整を自動的に行なうことを目的とし、

第1クロックに同期して入力されたシリアルデータをパラレルデータに変換する第1変換手段と、第1変換手段の出力のパラレルデータを格納し、このパラレルデータを第2クロックに同期してシリアルに出力する第2変換手段と、第2クロックに基づいて、第2変換手段においてパラレルデータを格納するタイミングを指定するロード信号を生成するロード信号生成手段と、第1クロックに基づいて、所定の範囲を指定する範囲指定信号を生成する範囲指定信号生成手段と、ロード信号と

範囲指定信号とが所定の関係を満たしているか否かを判別する判別手段とを備え、判別手段による判別結果に基づいて、ロード信号生成手段によるロード信号の生成動作を制御するように構成する。

(産業上の利用分野)

本発明は、異なるクロック信号に同期して動作する装置間、あるいはブロック間でデータ伝送を行なう場合におけるクロック乗換回路に関するものである。

本明細書において、シリアルデータの同期信号をデータ通信システムの一方の装置のクロック信号から他方の装置の別のクロック信号に切り換えることをクロック乗り換えと称する。

(従来の技術)

例えば、衛星通信システムにおいては、高度な誤り訂正を行なう必要があるため、送信データをたたみ込み符号化し、受信側でビタビ復号器による復号を行なう方式が用いられている。

このとき、例えば、たたみ込み符号化された6ビットのデータから2ビットのデータを間引いて4ビットの符号とするパンクチャド符号化が行なわれる場合がある。

この場合は、第8図に示すように、入力データは例えば6ビットシフトレジスタ811に第1クロック ϕ_1 （例えば6MHz）に同期して導入され、シリアルデータからパラレルデータへと展開される。また、第1クロック ϕ_1 に基づいて、6分周回路821により第3クロック ϕ_3 （例えば1MHz）が生成され、また、位相同期（PLL）回路841により第3クロック ϕ_3 と位相同期した第2クロック ϕ_2 （例えば4MHz）が生成される。また、この第2クロック ϕ_2 に基づいて、4分周回路861によりシフトレジスタ851にパラレルデータをロードするタイミングを指定する第4クロック ϕ_4 （例えば1MHz）が生成される。

シフトレジスタ811の出力端子Q_A、Q_C、Q_B、Q_Dからの出力は、4ビットフリップフロップ831を介して、シフトレジスタ851に4

ビットのパラレルデータとして導入される。

このようにして、たたみ込み符号化されたデータの6ビットのうち2ビット（シフトレジスタ811の出力端子Q_A、Q_Cからの出力）が間引かれ、また、シフトレジスタ851から第2クロック ϕ_2 に同期してシリアルに出力される。これにより、第1クロック ϕ_1 から第2クロック ϕ_2 へのクロックの乗り換えが行なわれる。

(発明が解決しようとする課題)

ところで、上述した従来方式にあっては、フリップフロップ851の入力は、第2クロック ϕ_2 の立ち上がりの前後で不確定となる場合が生じる。従って、この第3クロック ϕ_3 とシフトレジスタ851にパラレルデータをロードするタイミングとが所定の関係となる必要がある。このため、上述した所定の位相関係を満たすような第2クロック ϕ_2 が生成されるように、PLL回路841を調整しなければならないという問題点があった。

また、このような調整が必要であるために、ク

ロック乗換回路を集積回路化することは困難である。

本発明は、このような点にかんがみて創作されたものであり、クロック乗り換えの際の位相差の調整を自動的に行なうようにしたクロック乗換回路を提供することを目的としている。

(課題を解決するための手段)

第1図は、本発明のクロック乗換回路の原理ブロック図である。

図において、第1変換手段111は、第1クロックに同期して導入されたシリアルデータをパラレルデータに変換する。

第2変換手段112は、第1変換手段111の出力のパラレルデータを格納し、このパラレルデータを第2クロックに同期してシリアルに出力する。

ロード信号生成手段121は、第2クロックに基づいて、第2変換手段112においてパラレルデータを格納するタイミングを指定するロード信

ド信号生成手段121によるロード信号の生成動作が制御される。

本発明にあっては、判別手段123により、ロード信号と範囲指定信号とが所定の関係を満たすように、ロード信号生成手段121によるロード信号の生成動作が制御される。これにより、クロック乗り換えを行なう際の位相差の調整を自動的に行なうことができる。

(実施例)

以下、図面に基づいて本発明の実施例について詳細に説明する。

第2図は、本発明の第1実施例におけるクロック乗換回路の構成を示す。

I. 実施例と第1図との対応関係

ここで、本発明の実施例と第1図との対応関係を示しておく。

第1変換手段111は、シフトレジスタ211、フリップフロップ212に相当する。

号を生成する。

範囲指定信号生成手段122は、第1クロックに基づいて、所定の範囲を指定する範囲指定信号を生成する。

判別手段123は、ロード信号と範囲指定信号とが所定の関係を満たしているか否かを判別する。全体として、判別手段123による判別結果に基づいて、ロード信号生成手段121によるロード信号の生成動作を制御するように構成されている。

(作 用)

入力されたシリアルデータは、第1変換手段111によりパラレルデータに変換され、ロード信号生成手段121によって生成されたロード信号に基づいて第2変換手段112に格納される。

このとき、判別手段123により、ロード信号と範囲指定信号生成手段122によって生成された範囲指定信号とが所定の関係を満たしているか否かが判別され、この判別結果に基づいて、ロー

ド信号生成手段121は、シフトレジスタ251に相当する。

ロード信号生成手段121は、カウンタ231、NANDゲート232に相当する。

範囲指定信号生成手段122は、カウンタ221に相当する。

判別手段123は、D型フリップフロップ(D-F-F)241、NANDゲート242に相当する。

以上のような対応関係があるものとして、以下本発明の実施例について説明する。

II. 第1実施例の構成および動作

第3図に第1実施例によるクロック乗換回路の動作を表すタイミング図を示す。

第2図において、シフトレジスタ211および2ビットのカウンタ221のそれぞれのクロック端子には、第1反転クロック \bar{Q}_1 をインバータ224によって反転したもの（以下、第1クロック \bar{Q}_1 と称する）が入力されている。

シフトレジスタ 211 は、この第1クロック ϕ_1 （第3図(b)参照）に同期してシフト動作を行ない、入力データ（第3図(a)参照）をパラレルデータに展開し、出力端子 Q_a , Q_b , Q_c , Q_d からの出力を4ビットのフリップフロップ 212 に供給する。

カウンタ 221 は、上述した第1クロック ϕ_1 に同期した計数動作を行ない、出力端子 Q_a , Q_b からの出力（第3図(c), (d)参照）をそれぞれ NORゲート 222 の2つの入力端子に供給する。また、カウンタ 221 の出力端子 Q_b からの出力は、ウインドウ信号 W として D型フリップフロップ（D-F F）241 の入力端子 D に供給されている。

NORゲート 222 の出力は、NANDゲート 223 の入力端子の一方に入力されており、NANDゲート 223 の入力端子の他方には、上述した第1反転クロック $\bar{\phi}_1$ が入力されている。従って、NANDゲート 223 から出力される区切り信号 S_a は、第3図(e)に示すように、カウンタ 2

21 の出力端子 Q_a , Q_b からの出力がともに“1”的とき“0”となり、第1クロック ϕ_1 に同期して立ち上がるよう変化する。

フリップフロップ 212 は、この区切り信号 S_a の立ち上がりに同期して動作し、これにより、シフトレジスタ 211 によって展開されたパラレルデータがフリップフロップ 212 に一時保持されるとともに、シフトレジスタ 251 に供給される（第3図(f), (g), (h), (i)参照）。

例えば、第3図の A 時点のように、区切り信号 S_a の立ち上がりに同期して、フリップフロップ 212 にはシフトレジスタ 211 の4ビットの出力データ「D₃」, …, 「D₀」が保持される。同様にして、データ「D₃」, …, 「D₀」および「D₃」, …, 「D₀」が保持される。

また、シフトレジスタ 251, カウンタ 231a, カウンタ 231b のそれぞれのクロック端子には、第2反転クロック $\bar{\phi}_2$ をインバータ 243 によって反転したもの（以下、第2クロック ϕ_2 と称する）が入力しているカウンタ 231a は、

この第2クロック ϕ_2 （第3図(j)参照）に同期した計数動作を行ない、出力端子 C_a から桁上げ信号 C_a （第3図(k)参照）を出力して、NANDゲート 232 の入力端子の一方に入力する。NANDゲート 232 の入力端子の他方は、D-F F 241 の出力端子 \bar{Q} に接続されている。このNANDゲート 232 の出力は、カウンタ 231b の制御端子 E_n に供給されている。

カウンタ 231b は、制御端子 E_n に“1”が入力されたときに、上述した第2クロック ϕ_2 に同期して計数動作を行ない、“0”が入力されたときは計数動作を一時停止する。

また、カウンタ 231b の出力端子 C_b から出力される桁上げ信号 C_b は、ロード信号 S_L （第3図(l)参照）としてシフトレジスタ 251 のロード端子 L に供給されている。

シフトレジスタ 251 は、例えば、このロード信号 S_L の立ち下がりに同期してフリップフロップ 212 から供給されたパラレルデータを格納し、この格納されたデータを第2クロック ϕ_2 に同期

して1ビットずつシリアルに出力するように構成されている。

また、このロード信号 S_L は、NANDゲート 242 の入力端子の一方に入力されており、NANDゲート 242 の入力端子の他方には、上述した第2反転クロック $\bar{\phi}_2$ が入力されている。これにより、NANDゲート 242 の出力はロード信号 S_L と第2反転クロック $\bar{\phi}_2$ とに応じて、ロード信号 S_L の立ち下がりの時点で立ち上がるよう変化する。

このNANDゲート 242 の出力端子は D-F F 241 のクロック端子に接続されており、D-F F 241 はこのNANDゲート 242 の出力の立ち上がりに同期して、入力端子 D に導入されたウインドウ信号 W の論理を反転した論理を出力端子 \bar{Q} から出力する（第3図(m)参照）。

ここで、上述したウインドウ信号 W は、第3図(d)に示したように、NANDゲート 223 の出力の立ち上がりの前後で第1クロック ϕ_1 の2周期分の時間だけ“0”となるよう変化する。

ところで、フリップフロップ212の出力はこのNANDゲート223の出力の立ち上がりの前後で不確定となり、一方、このウインドウ信号Wが“1”である間は安定している。このように、ウインドウ信号Wが“1”である区間はフリップフロップ212の出力が安定である区間、即ち、シフトレジスタ251によるパラレルデータのロードが許される範囲に対応する。

例えば、第3図のB時点のように、ロード信号S_Lの立ち下がりの時点でウインドウ信号Wの論理が“0”である場合は、D-F-F241の出力端子Qからの出力は“1”となる。一方、ウインドウ信号Wの論理が“1”である場合は、D-F-F241の出力端子Qからの出力は“0”となる。従って、このD-F-F241の出力端子Qからの出力の論理により、ロード信号S_Lがウインドウ信号Wで示された範囲に入っているか否かが判別される。

ロード信号S_Lがウインドウ信号Wで示された範囲に入っていない場合は、第3図(d)に示すよう

に、シフトレジスタ251からの出力も不確定となる。この場合は、カウンタ231aの計数動作により、例えば第3図のC時点では桁上げ信号C_aが出力されると、カウンタ231bの制御端子E_nへの入力は第2クロック信号φ₂の1周期分だけ“0”となる（第3図(d)参照）。

これにより、第3図(d)に示すように、カウンタ231bの計数動作は第2クロック信号φ₂の1周期分だけ停止するので、次にカウンタ231bからロード信号S_L（桁上げ出力C_b）が出力されるタイミングは、第3図(d)に示したように第2クロック信号φ₂の1周期分だけ遅くなる。

一方、ロード信号S_Lがウインドウ信号Wで示された範囲に入っている場合は、D-F-F241の出力端子Qからの出力は“0”であるので、NANDゲート232の出力は“1”的ままで変化しない。従って、カウンタ231bの計数動作は一時停止しないので、ロード信号S_Lが出力されるタイミングは変化しない。

このようにして、パラレルデータをロードする

タイミングの調整を自動的に行って、第1クロックφ₁から第2クロックφ₂へのクロック乗換動作が行なわれる。

Ⅲ. 第2実施例の構成および動作

第4図は、第2実施例によるクロック乗換回路の構成図である。また、第5図に第2実施例によるクロック乗換回路の動作を表すタイミング図を示す。

第4図において、第2実施例によるクロック乗換回路は、第1実施例の4ビットシフトレジスタに代えて6ビットシフトレジスタ411を備え、2ビットカウンタに代えて4ビットカウンタ421を備えて構成されている。

入力データ（第5図(a)参照）は、シフトレジスタ411によりパラレルデータに展開され、シフトレジスタ411の出力端子Q_A、Q_B、Q_C、Q_Dからの出力が4ビットのフリップフロップ412に供給される。これにより、入力データ「D₀」、「D₁」、「D₂」、「D₃」の6ビットのうち、「D₁」、「D₂」

「D₃」の2ビットが間引かれる。

4ビットカウンタ421のクロック端子には、第1反転クロックφ₁をインバータ424bによって反転したもの（以下、第1クロックφ₁と称する）が供給されている。カウンタ421は、この第1クロックφ₁（第5図(b)参照）に応じて動作し、カウンタ421の出力端子C_bから出力される桁上げ信号C_bは、インバータ424aを介してそれ自身のロード端子L（反転入力）に供給されている。また、カウンタ421の入力端子D_A、D_Bには固定論理“0”が供給されており、入力端子D_C、D_Dには、固定論理“1”が供給されている。

従って、カウンタ421の桁上げ信号C_bが出力されるたびに、カウンタ421の計数に初期値“A H”（“H”は16進数を表す添え字）が設定されるので、第5図(c)に示すように、第1クロックφ₁の6周期を1周期として、“A H”～“F H”となるように変化する。

カウンタ421の2つの出力端子Q_A、Q_Bか

らの出力は、それぞれNORゲート422の2つの入力端子に入力されており、NORゲート422の出力端子はNANDゲート423の入力端子の1つに接続されている。また、NANDゲート423の入力端子の1つはカウンタ421の出力端子Q_nに接続されており、NANDゲート423の他の入力端子には、上述した第1反転クロック₁が導入されている。

これにより、NANDゲート423から出力される区切り信号S₁は、第5図(e)に示すように、カウンタ421の計数が“A”のときに“0”となるように、第1クロック₁の6周期を1周期として変化する。また、この区切り信号S₁の立ち上がりは、第1クロック₁に同期している。

フリップフロップ412は、この区切り信号S₁の立ち上がりに同期して動作し、導入された4ビットのパラレルデータを一時保持し、シフトレジスタ451に供給する。

また、カウンタ421の出力端子Q_nからの出力は、ウインドウ信号W(第5図(d)参照)として、

D-FF441の入力端子Dに供給されている。

このウインドウ信号Wは、第1クロック₁の6周期分の時間を1周期として、カウンタ421の計数が“CH”～“FH”である区間に対応して“1”となり、“AH”～“BH”である区間に対応して“0”となるように変化する。

また、このウインドウ信号Wが“1”である区間は、フリップフロップ412の出力が安定である区間に対応し、“0”である区間はフリップフロップ412の出力が不確定である区間に対応している。

上述した第1実施例と同様にして、カウンタ431a, 431b, NANDゲート432により、第5図(f)に示すようなロード信号S_Lが生成される。このロード信号S_Lに基づいて、フリップフロップ412から供給されたパラレルデータは、シフトレジスタ451に格納される。シフトレジスタ451のクロック端子には、第2反転クロック₂をインバータ443によって反転して得られた第2クロック₂が入力されており、この第

2クロック₂(第5図(f)参照)に同期してシリアルに出力される(第5図(g)参照)。

また、同様に、D-FF441, NANDゲート442により、上述したロード信号S_Lが、ウインドウ信号Wによって指定された範囲に入っているか否かが判別される。

例えば、第5図のA時点のように、ロード信号S_Lの立ち下がりにおいてウインドウ信号Wが“0”となっている場合は、第5図(h)に示すように、D-FF441の出力端子Dからの出力は“1”となる。

これにより、カウンタ431aの出力端子C_nから出力される桁上げ信号C_a(第5図(i)参照)に応じて、カウンタ431bの制御端子E_nへの入力(第5図(j)参照)が変化する。カウンタ431bの制御端子E_nに“0”が入力されている間は、第5図(k)に示すように計数動作が一時停止される。これにより、第5図(l)に示したように、ロード信号S_Lが次に生成されるタイミングは、第2クロック₂の1周期分だけ遅れるように制御

される。

このように、第1クロック₁の周波数と第2クロック₂の周波数とが異なる場合においても、パラレルデータをロードするタイミングの調整を自動的に行ってクロック乗換動作を行なうことができる。

IV. 第3実施例の構成および動作

第6図は、第3実施例によるクロック乗換回路の構成図である。また、第7図に第3実施例によるクロック乗換回路の動作を表すタイミング図を示す。

第6図において、6ビットシフトレジスタ611と、フリップフロップ612と、シフトレジスタ651とは、第2実施例によるクロック乗換回路と同様に接続されている。

また、4ビットカウンタ621, NORゲート622, NANDゲート623, インバータ624a, 624bも、第2実施例によるクロック乗換回路と同様に接続されている。このインバータ

624bによって、第1反転クロック ϕ_1 を反転して得られた第1クロック ϕ_1 （第7図(b)参照）がカウンタ621のクロック端子に供給されており、この第1クロック ϕ_1 に同期して計数動作を行なうカウンタ621の計数に基づいて、区切り信号S₁（第7図(c)参照）が生成される。

カウンタ621の出力端子Q_cからの出力は、第1ウインドウ信号W₁（第7図(d)参照）としてD-FF641aの入力端子Dに供給されている。

この第1ウインドウ信号W₁は、上述した第2実施例におけるウインドウ信号Wと同様に変化し、シフトレジスタ651によるパラレルデータのロードを行なうタイミングが許容される範囲を示している。

また、カウンタ621の出力端子Q_cはANDゲート625の入力端子の一方に接続されており、ANDゲート625の入力端子の他方には、インバータ624cを介してカウンタ621の出力端子Q_aからの出力が導入されている。ANDゲート625の出力端子はD-FF626の入力端子

Dに接続されており、D-FF626出力端子Q_bはD-FF641bの入力端子Dに接続されている。

D-FF626のクロック端子には、上述した第1クロック ϕ_1 が導入されており、D-FF626は、入力端子Dに入力されたANDゲート625の出力の論理を、この第1クロック ϕ_1 の立ち上がりに同期して第2ウインドウ信号W₂として出力する。

従って、第2ウインドウ信号W₂は、第7図(e)に示すように、第1クロック ϕ_1 の6周期分の時間を1周期とし、カウンタ621の計数が“C H”～“D H”的ときに“1”となるように変化する。

カウンタ631は、第2反転クロック ϕ_2 をインバータ644によって反転して得られた第2クロック ϕ_2 （第7図(f)参照）に同期して計数動作を行ない、出力端子C_aから出力される桁上げ信号をロード信号S_Lとしてシフトレジスタ651のロード端子LとNANDゲート642の入力端子の一方に供給する。

NANDゲート642の入力端子の他方には、上述した第2反転クロック ϕ_2 が導入されており、NANDゲート642の出力端子はD-FF641a, 641bの両クロック端子に接続されている。従って、NANDゲート642の出力の立ち上がり（ロード信号S_Lの立ち下がり）に同期して、D-FF641aは出力端子Q_bから第1ウインドウ信号W₁の反転論理を出力し、JK型フリップフロップ（JK-FF）643の入力端子Jに供給する（第7図(i)参照）。一方、D-FF641bは出力端子Q_aから第2ウインドウ信号W₂の論理を出力して、JK-FF643の入力端子Kに供給する（第7図(j)参照）。

従って、ロード信号S_Lの立ち下がりが第2ウインドウ信号W₂で示される範囲に入っている場合は、JK-FF643の入力端子J, Kへの入力はそれぞれ“0”, “1”となる。また、第1ウインドウ信号W₁で示される範囲には入っていないが第2ウインドウ信号W₂で示される範囲に入っていない場合は、入力端子J, Kへの入力はそ

れぞれ“0”, “0”となる。また、第1ウインドウ信号W₁で示される範囲には入っていない場合は、入力端子J, Kへの入力はそれぞれ“1”, “0”となる。

このようにして、D-FF641a, 641bの出力に基づいて、ロード信号S_Lと第1ウインドウ信号W₁, 第2ウインドウ信号W₂とで示される範囲とが所定の関係を満たしているか否かを判別することができる。

また、JK-FF643のクロック端子には、上述した第2クロック ϕ_2 が導入されており、JK-FF643の出力端子Q_aから出力される論理は、この第2クロック ϕ_2 の立ち上がりに同期して、入力端子J, Kに入力された論理に応じて変化する（第7図(k)参照）。

ところで、カウンタ631の出力端子Q_aはインバータ633を介してANDゲート634の入力端子の一方に接続されており、ANDゲート634の入力端子の他方はカウンタ631の出力端子Q_bに接続されている。

これにより、ANDゲート634の出力は、カウンタ631の計数（第7図(b)参照）に応じて、第7図(d)に示すように変化する。このANDゲート634の出力はNANDゲート632の入力端子の一方に入力されており、NANDゲート632の入力端子の他方は上述したJK-FF643の出力端子Qに接続されている。また、NANDゲート632の出力端子はカウンタ631の制御端子Enに接続されている。

例えば、第7図のA時点のように、ロード信号Slが第1ウインドウ信号W1で指定される範囲に入っていない場合は、JK-FF643の入力端子J, Kへの入力はそれぞれ“1”, “0”となる。このとき、第7図(d)に示すように、JK-FF643の出力端子Qから出力される論理は“1”となる。

この場合は、カウンタ631の計数が“2”となったときに、第7図(d)に示すようにカウンタ631の制御端子Enへの入力は“0”となり、カウンタ631の計数動作が第2クロックμ2の1

周期分の時間だけ停止される（第7図(d)参照）。

これにより、第7図(d)に示したように、第2クロックμ2の1周期分だけ遅れたタイミングで、次のロード信号Slが生成される。

また、例えば、第7図のB時点においては、ロード信号Slは第1ウインドウ信号W1で指定される範囲に入っているが、第2ウインドウ信号W2で指定される範囲には入っていない。この場合は、JK-FF643の入力端子J, Kへの入力はともに“0”となり、出力端子Qから出力される論理は“1”的ままで変化しない。

従って、上述したようにして、再びカウンタ631による計数動作が一時停止され、ロード信号Slは更に第2クロックμ2の1周期分だけ遅れたタイミングで生成される（第7図(d)参照）。

このようにして、例えば第7図のC時点のように、ロード信号Slが第2ウインドウ信号W2で示される範囲に入ると、JK-FF643の入力端子J, Kへの入力はそれぞれ“0”, “1”となり、JK-FF643の出力は第2クロックμ2

に同期して“0”となる。

この場合は、NANDゲート632の出力はカウンタ631の出力にかかわらず“1”となるので、カウンタ631の計数動作は一時停止されることはない。

上述したようにして、ロード信号Slのタイミングを遅れさせることにより、ロード信号Slと区切り信号Svとの位相差が自動的に調整される。

また、第2実施例と同様にして、第1クロックμ1から第2クロックμ2へのクロック乗換動作が行なわれ、第7図(d)に示すように、入力データ（第7図(a)参照）は、第2クロックμ2に同期してシリアルに出力される。

V. 実施例のまとめ

上述したように、ロード信号Slの立ち下がりにおけるウインドウ信号Wの論理を判別することにより、ロード信号Slとウインドウ信号Wとが所定の関係を満たしているか否かを判別する。

この判別結果に基づいて、ロード信号Slを生

成するカウンタの計数動作を一時停止することにより、ロード信号Slと区切り信号Svとの位相差を自動的に調整することが可能となる。

このように、外部から供給された第1クロックから第2クロックへのクロック乗換動作を行なうことができるため、クロック乗換回路の集積回路化に対応することができる。

VI. 発明の変形態様

なお、上述した本発明の実施例にあっては、ロード信号Slがウインドウ信号Wで示される範囲に入っているか否かに基づいて、カウンタの計数動作を一時停止する場合を考えたが、これに限らず、ロード信号Slとウインドウ信号Wとが所定の関係を満たしているか否かに基づいて、ロード信号Slの生成動作を制御するものであれば適用できる。

また、シリアルデータとパラレルデータとを相互に変換するシフトレジスタやフリップフロップのビット数にも制限はない。

更に、「1. 実施例と第1図との対応関係」において、本発明と実施例との対応関係を説明しておいたが、これに限られることはなく、本発明には各種の変形態様があることは当業者であれば容易に推考できるであろう。

(発明の効果)

上述したように、本発明によれば、パラレルデータを格納するタイミングが自動的に調整されるので、外部から供給された第1クロックから第2クロックへの乗換動作を行なうことができ、集積回路化に対応することができるので、実用的には極めて有用である。

4. 図面の簡単な説明

第1図は本発明のクロック乗換回路の原理ブロック図、

第2図は本発明の第1実施例によるクロック乗換回路の構成図、

第3図は第1実施例によるクロック乗換回路の動作

作を表すタイミング図、

第4図は本発明の第2実施例によるクロック乗換回路の構成図、

第5図は第2実施例によるクロック乗換回路の動作を表すタイミング図、

第6図は本発明の第3実施例によるクロック乗換回路の構成図、

第7図は第3実施例によるクロック乗換回路の動作を表すタイミング図、

第8図は従来のクロック乗換回路の構成図である。

図において、

111は第1変換手段111、

112は第2変換手段112、

121はロード信号生成手段121、

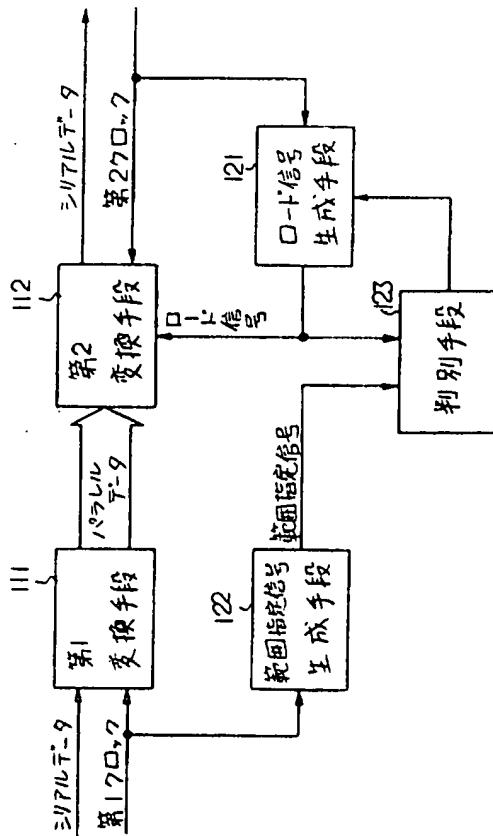
122は範囲指定信号生成手段122、

123は判別手段123、

211, 251, 451, 651, 851は4ビットシフトレジスタ、

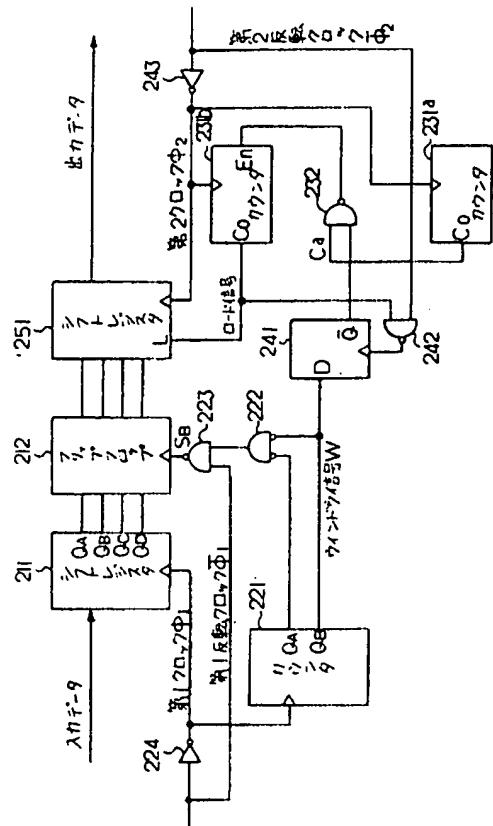
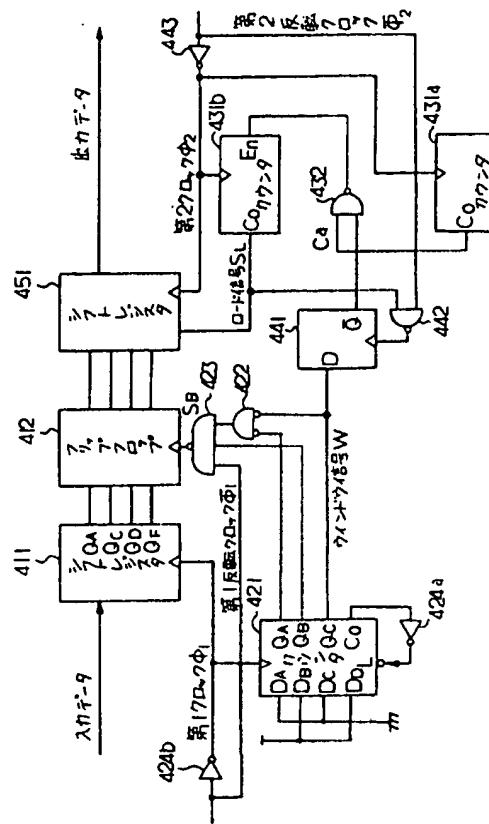
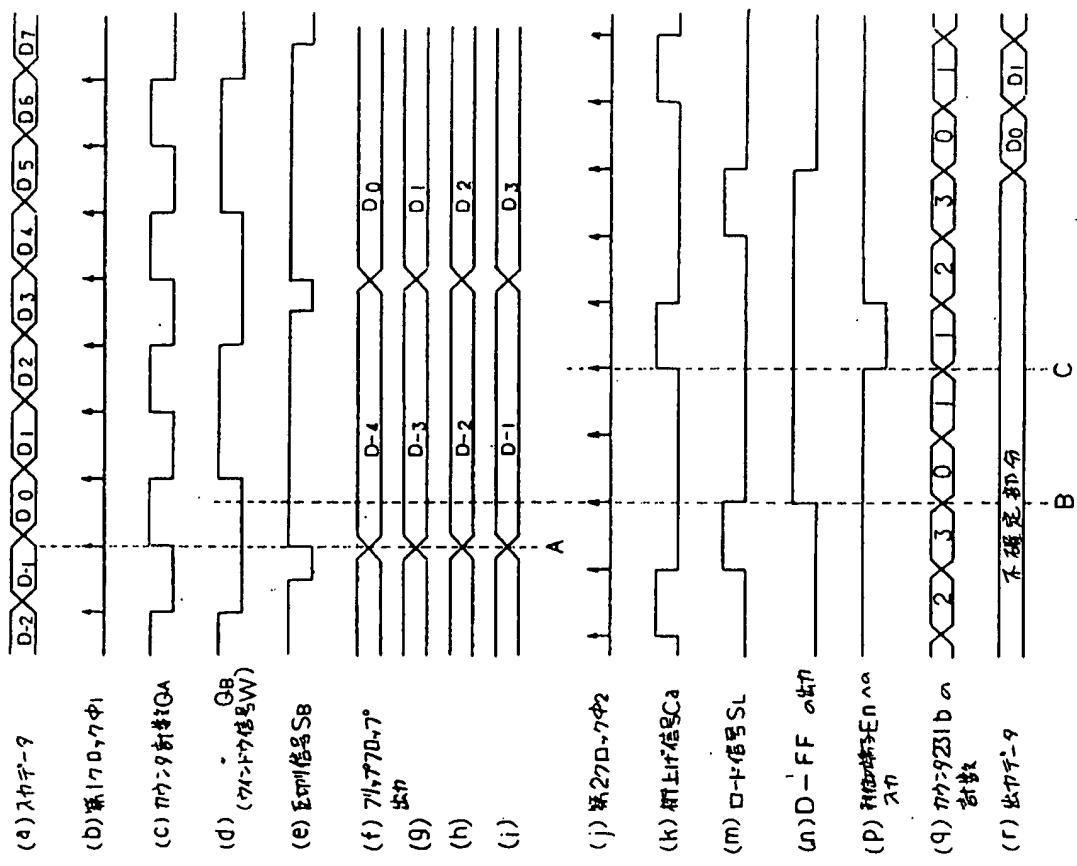
212, 412, 612, 831は4ビットフリ

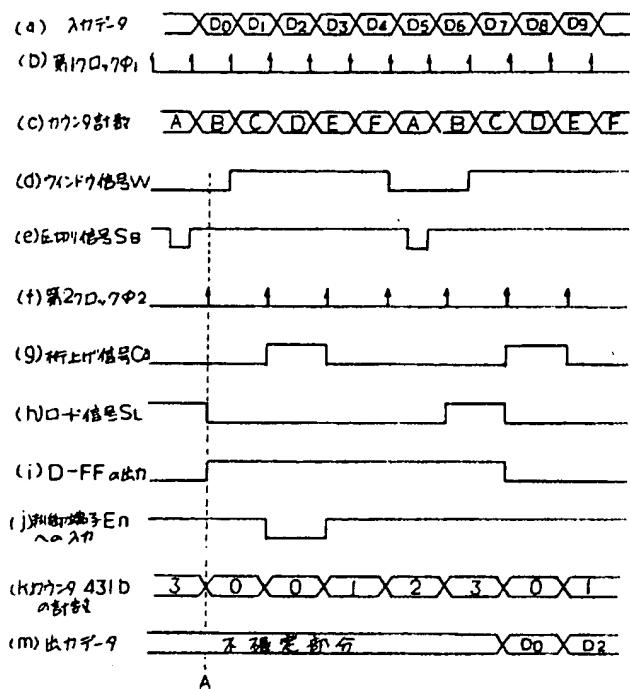
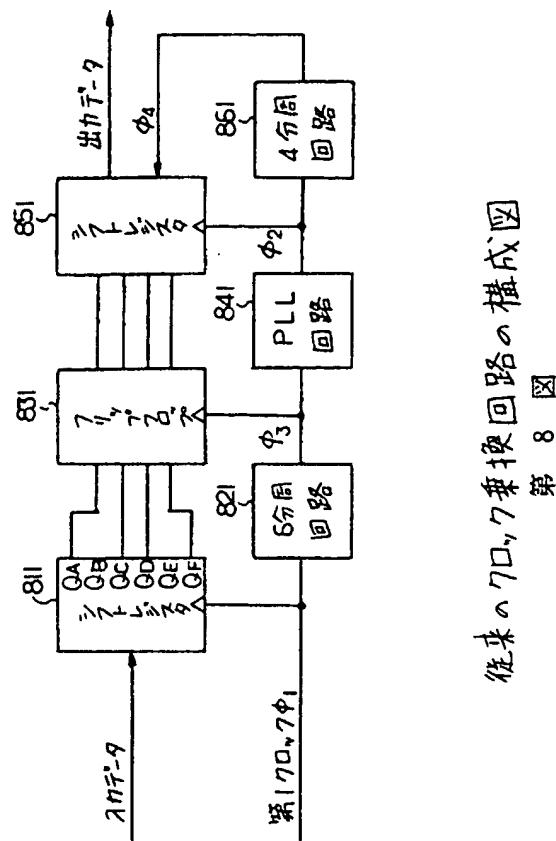
ップフロップ、
221, 231, 421, 431, 621, 63
1はカウンタ、
222, 422, 622はNORゲート、
223, 232, 242, 423, 432, 44
2, 623, 632, 642はNANDゲート、
224, 243, 424, 443, 624, 63
3, 644はインバータ、
241, 441, 626, 641はD型フリップ
フロップ、
411, 611, 811は6ビットシフトレジス
タ、
625, 634はANDゲート、
643はJ-K型フリップフロップ、
821は6分周回路、
841はPLL回路、
861は4分周回路である。



本発明の原理ブロック図
第1図

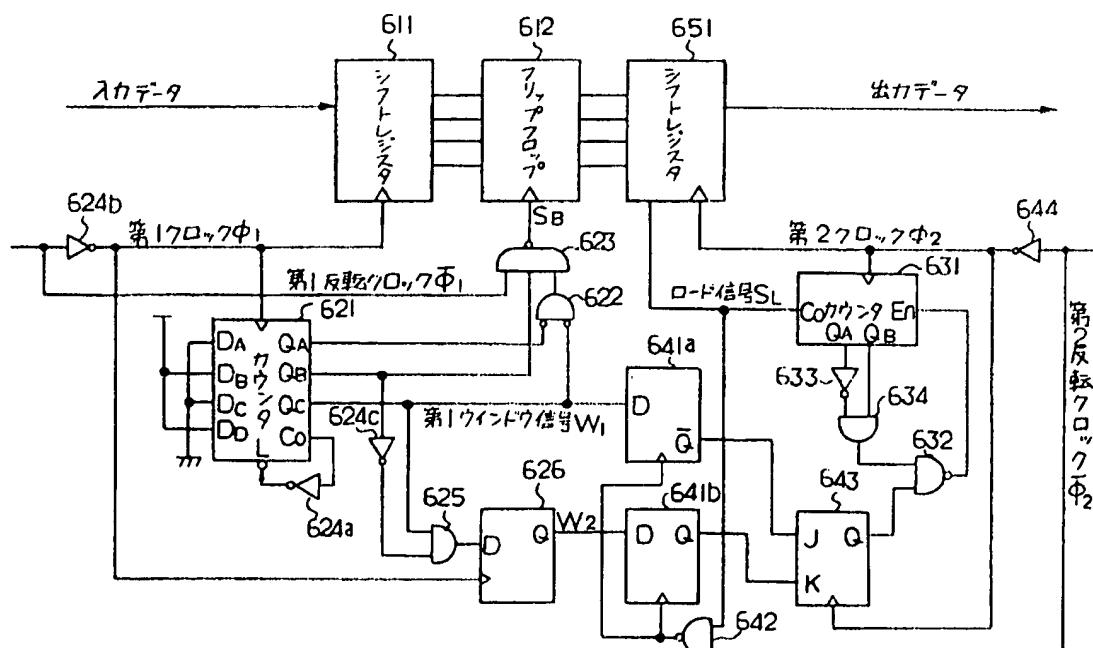
特許出願人 富士通株式会社
代理人 弁理士 古谷史

第1実施例の構成図
第2図第2実施例の構成図
第4図第1実施例の動作を表すタイミング図
第3図

第2実施例の動作を表すタイミング図
第5図

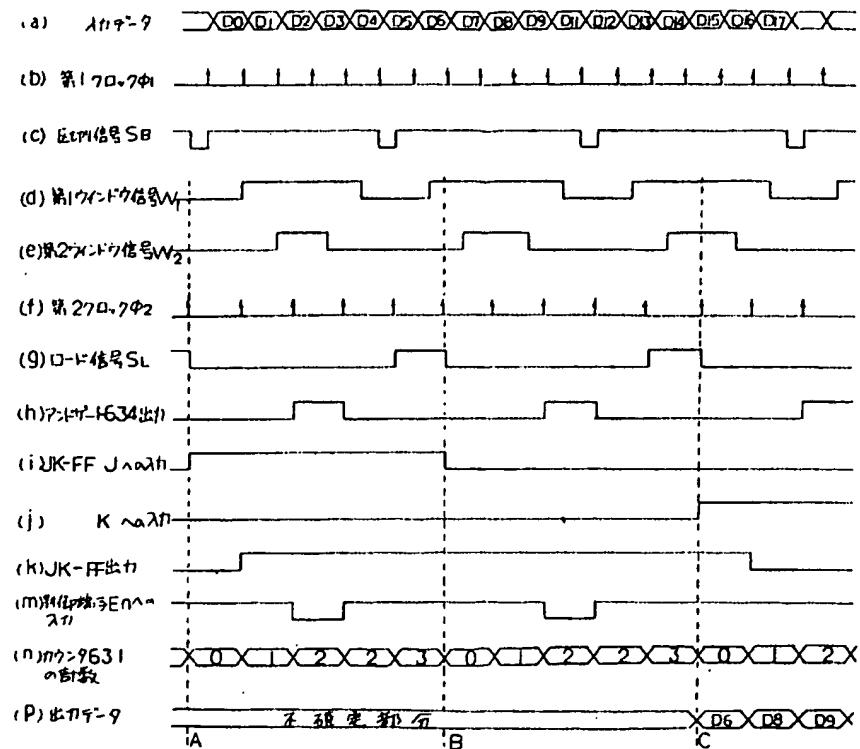
従来の7口, 7段換回路の構成図

第8図



第3実施例の構成図

第6図



第3実施例の動作を表すタイミング図
第7回